

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

EXPRESS MAIL NO. EV327880757US

Applicant : Jin-Boo Son, et al.
Application No. : N/A
Filed : March 9, 2004
Title : PLASMA DISPLAY PANEL AND DRIVING METHOD THEREOF

Grp./Div. : N/A
Examiner : N/A

Docket No. : 50755/DBP/Y35

LETTER FORWARDING CERTIFIED
PRIORITY DOCUMENTS

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

PostOffice Box 7068
Pasadena, CA 91109-7068
March 9, 2004

Commissioner:

Enclosed is a certified copy of Korean Patent Application No. 2003-0025543, which was filed on April 22, 2003, and Korean Patent Application No. 2003-0061185, which was filed on September 2, 2003, the priority of which is claimed in the above-identified application.

Respectfully submitted,

CHRISTIE, PARKER & HALE, LLP

By 20 B m Prout
D. Bruce Prout
Reg. No. 20,958
626/795-9900

DBP/aam
Enclosure: Certified copy of patent applications

AAM PAS554260.1-* -03/9/04 1:08 PM



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0025543
Application Number

출원 년 월 일 : 2003년 04월 22일
Date of Application
APR 22, 2003

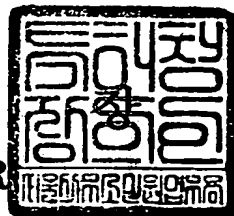
출원인 : 삼성에스디아이 주식회사
Applicant(s)
SAMSUNG SDI CO., LTD.



2003 07 22 일
 년 월 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.04.22
【발명의 명칭】	플라즈마 디스플레이 패널 및 그 구동 방법
【발명의 영문명칭】	PLASMA DISPLAY PANEL AND DRIVING METHOD THEREOF
【출원인】	
【명칭】	삼성에스디아이 주식회사
【출원인코드】	1-1998-001805-8
【대리인】	
【명칭】	유미특허법인
【대리인코드】	9-2001-100003-6
【지정된변리사】	이원일
【포괄위임등록번호】	2001-041982-6
【발명자】	
【성명의 국문표기】	손진부
【성명의 영문표기】	SON, JIN B00
【주민등록번호】	730428-1109111
【우편번호】	330-757
【주소】	충청남도 천안시 쌍용1동 광명아파트 107동 1707호
【국적】	KR
【발명자】	
【성명의 국문표기】	진광호
【성명의 영문표기】	JIN, KWANG HO
【주민등록번호】	711028-1037110
【우편번호】	330-769
【주소】	충청남도 천안시 신방동 향촌현대아파트 305동 1001호
【국적】	KR
【발명자】	
【성명의 국문표기】	김진성
【성명의 영문표기】	KIM, JIN SUNG
【주민등록번호】	720918-1025817

【우편번호】	330-260
【주소】	충청남도 천안시 신방동 한라아파트 106동 2310호
【국적】	KR
【발명자】	
【성명의 국문표기】	임재혁
【성명의 영문표기】	LIM, JEA HYUK
【주민등록번호】	620510-1042214
【우편번호】	336-840
【주소】	충청남도 아산시 탕정면 흥익아파트 106동 402호
【국적】	KR
【발명자】	
【성명의 국문표기】	남진원
【성명의 영문표기】	NAM, JIN WON
【주민등록번호】	751030-1781317
【우편번호】	336-861
【주소】	충청남도 아산시 음봉면 동암리 산87-1번지 삼성SDI 기숙 사 블루동 3 02호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정 에 의한 출원심사 를 청구합니다. 대리인 유미특허법인 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	22 면 22,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	40 항 1,389,000 원
【합계】	1,440,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 플라즈마 디스플레이 패널의 구동 방법에 관한 것으로, 리셋 기간과 어드레스 기간 사이에 오방전 소거 기간이 추가되어 있다. 리셋 기간에서의 불안정한 리셋 동작에 의해 주사 전극과 유지 전극에 각각 많은 양의 (-) 전하와 (+) 전하가 형성될 수 있다. 이 전하들에 의해 어드레스 기간에서 어드레스 방전이 없어도 서스테인 기간에서 주사 전극과 유지 전극 사이에서 방전이 일어날 수 있다. 오방전 소거 기간에서는 먼저 주사 전극과 유지 전극 사이에 전압을 인가하여 방전을 일으켜서 주사 전극과 유지 전극에 각각 (+) 전하와 (-) 전하를 형성한다. 다음에, 소거 파형을 인가하여 주사 전극과 유지 전극에 형성되어 있는 (+) 전하와 (-) 전하를 소거한다. 이와 같이 하면, 불안정한 리셋 동작이 일어난 경우에 서스테인 기간에서 선택되지 않은 방전 셀이 방전되는 것을 방지할 수 있다.

【대표도】

도 4

【색인어】

PDP, 강방전, 리셋, 서스테인, 리셋, 어드레스, 오방전, 소거

【명세서】

【발명의 명칭】

플라즈마 디스플레이 패널 및 그 구동 방법 {PLASMA DISPLAY PANEL AND DRIVING METHOD THEREOF}

【도면의 간단한 설명】

도 1은 플라즈마 디스플레이 패널의 개략적인 일부 사시도이다.

도 2는 플라즈마 디스플레이 패널의 전극 배열도이다.

도 3은 종래 기술에 따른 플라즈마 디스플레이 패널의 구동 파형도이다.

도 4는 본 발명의 제1 실시예에 따른 플라즈마 디스플레이 패널의 구동 파형도이다.

도 5a 내지 도 5d는 각각 도 4의 구동 파형에 따른 벽 전하 분포도이다.

도 6a 내지 도 6c는 각각 도 4의 구동 파형에서 불안정한 리셋 동작이 일어난 경우의 벽 전하 분포도이다.

도 7 및 도 8은 각각 도 4에 나타난 구동 파형의 변형예이다.

도 9 내지 도 13은 각각 본 발명의 제2 내지 제6 실시예에 따른 플라즈마 디스플레이 패널의 구동 파형도이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <9> 본 발명은 플라즈마 디스플레이 패널(plasma display panel, PDP)과 그 구동 방법에 관한 것이다.
- <10> 플라즈마 디스플레이 패널은 기체 방전에 의해 생성된 플라즈마를 이용하여 문자 또는 영상을 표시하는 평면 표시 장치로서, 그 크기에 따라 수십에서 수백 만개 이상의 화소가 매트릭스 형태로 배열되어 있다. 먼저 도 1 및 도 2를 참조하여 플라즈마 디스플레이 패널의 구조에 대하여 설명한다.
- <11> 도 1은 플라즈마 디스플레이 패널의 일부 사시도이며, 도 2는 플라즈마 디스플레이 패널의 전극 배열도를 나타낸다.
- <12> 도 1에 나타낸 바와 같이, 플라즈마 디스플레이 패널은 서로 마주보며 떨어져 있는 두 개의 유리 기판(1, 6)을 포함한다. 유리 기판(1) 위에는 주사 전극(4)과 유지 전극(5)이 쌍을 이루어 평행하게 형성되어 있으며, 주사 전극(4)과 유지 전극(5)은 유전체층(2) 및 보호막(3)으로 덮여 있다. 유리 기판(6) 위에는 복수의 어드레스 전극(8)이 형성되어 있으며, 어드레스 전극(8)은 절연체층(7)으로 덮여 있다. 어드레스 전극(8) 사이에 있는 절연체층(7) 위에는 어드레스 전극(8)과 격벽(9)이 형성되어 있다. 또한 절연체층(7)의 표면 및 격벽(9)의 양측면에 형광체(10)가 형성되어 있다. 유리 기판(1, 6)은 주사 전극(4)과 어드레스 전극(8) 및 유지 전극(5)과 어드레스 전극(8)이 직교하도록 방전 공간(11)을 사이에 두고 대향하여 배치되어 있다. 어드레스 전극(8)과, 쌍을 이루

는 주사 전극(4)과 유지 전극(5)과의 교차부에 있는 방전 공간(11)이 방전 셀(12)을 형성한다.

- <13> 그리고 도 2에 나타낸 바와 같이, 플라즈마 디스플레이 패널의 전극은 n 개의 매트릭스 구조를 가지고 있다. 열 방향으로 어드레스전극(A_1-A_m)이 배열되어 있고 행방향으로는 n 행의 주사 전극(Y_1-Y_n) 및 유지 전극(X_1-X_n)이 쌍으로 배열되어 있다.
- <14> 일반적으로 플라즈마 디스플레이 패널은 1 프레임이 복수의 서브필드로 나누어져 구동되며, 서브필드의 조합에 의해 계조가 표현된다. 각 서브필드는, 도 3에 나타낸 바와 같이 리셋 기간(reset period), 어드레스 기간(address period), 서스테인 기간(sustain period)으로 이루어진다. 리셋 기간은 이전의 유지방전으로 형성된 벽 전하를 소거하고 다음의 어드레스 방전을 안정적으로 수행하기 위해 벽 전하를 셋업(setup) 하는 역할을 한다. 어드레스 기간은 패널에서 켜지는 셀과 켜지지 않는 셀을 선택하여 켜지는 셀(어드레싱된 셀)에 벽 전하를 쌓아두는 동작을 수행하는 기간이다. 서스테인 기간은 어드레싱된 셀에 실제로 화상을 표시하기 위한 유지방전을 수행하는 기간이다.
- <15> 다음, 도 3을 참조하여 플라즈마 디스플레이 패널의 종래의 구동 방법에 대하여 설명한다.
- <16> 도 3은 종래 기술에 의한 플라즈마 디스플레이 패널의 구동 파형도이다. 도 3에 나타낸 바와 같이, 리셋 기간은 소거 기간, 램프 상승 기간 및 램프 하강 기간으로 이루어진다.

- <17> 소거 기간에서는 유지 전극(X)에 0V에서 V_e 전압을 향하여 완만하게 상승하는 소거 램프 파형이 인가된다. 그러면 유지 전극(X)과 주사 전극(Y)에 형성된 벽 전하는 점점 소거된다.
- <18> 다음, 램프 상승 기간에서는 어드레스 전극(A) 및 유지 전극(X)을 0V로 유지하고, 주사 전극(Y)에는 V_s 전압에서 V_{set} 전압을 향하여 완만하게 상승하는 램프 파형이 인가된다. 이 램프 파형이 상승하는 동안 모든 방전 셀에서는 주사 전극(Y)으로부터 어드레스 전극(A) 및 유지 전극(X)으로 각각 1회째의 미약한 리셋 방전이 일어난다. 그 결과, 주사 전극(Y)에 (-) 벽 전하가 축적되고, 동시에 어드레스 전극(A) 및 유지 전극(X)에는 (+) 벽 전하가 축적된다.
- <19> 이어서, 램프 하강 기간에서는 유지 전극(X)을 V_e 전압으로 유지한 상태에서, 주사 전극(Y)에 V_s 전압에서 0V를 향해 완만하게 하강하는 램프 파형을 인가한다. 이 램프 파형이 하강하는 동안 다시 모든 방전 셀에서는 2회째의 미약한 리셋 방전이 일어난다. 그 결과, 주사 전극(Y)의 (-) 벽 전하가 감소하고 유지 전극(X)의 (+) 벽 전하가 감소한다.
- <20> 이와 같이 리셋 기간이 정상적으로 동작하면 주사 전극(Y)과 유지 전극(X)의 벽 전하가 소거되지만, 불안정한 리셋 동작으로 인하여 불안정한 방전이 일어날 수 있다. 이러한 불안정한 방전에는, 램프 상승 기간에 강방전이 일어난 후 주사 전극(Y)의 V_{set} 전압 하강시에 자기 소거(self-erasing)에 따른 방전이 일어나는 경우, 램프 상승 기간과 램프 하강 기간에 강방전이 일어나는 경우, 그리고 램프 하강 기간에서 강방전이 일어나는 경우가 있다. 이때, 첫 번째 경우에는 자기 소거에 따라 리셋 기능이 수행된다.

<21> 그러나 두 번째 및 세 번째의 경우에는 램프 하강 기간에서의 강방전으로 인하여 주사 전극(Y)에 (+) 벽 전하가 형성되고 유지 전극(X)에 (-) 벽 전하가 형성된다. 이때, 주사 전극(Y)과 유지 전극(X)에 형성된 벽 전하들에 의해 형성되는 벽 전압(V_{wxy1})이 수학식 1을 만족한다면, 어드레스 기간에서 어드레스 방전이 없어도 서스테인 기간에서 유지방전이 일어날 수 있다.

<22> **【수학식 1】** $V_{wxy1} + V_s > V_f$

<23> 여기서, V_{wxy1} 는 램프 하강 기간에서의 강방전으로 인하여 주사 전극(Y)과 유지 전극(X) 사이에서 형성되는 벽 전압이며, V_s 는 서스테인 기간에서 인가되는 서스테인 펄스에 의해 주사 전극(Y)과 유지 전극(X) 사이에서 형성되는 전압차이며, V_f 는 주사 전극(Y)과 유지 전극(X) 사이의 방전 개시 전압이다.

<24> 이와 같이 종래 구동 방법에 의하면 리셋 기간의 램프 하강 기간에서의 강방전으로 인하여 켜지지 않아야 할 방전 셀에서도 유지방전이 일어날 수 있다.

【발명이 이루고자 하는 기술적 과제】

<25> 본 발명이 이루고자 하는 기술적 과제는 리셋 기간에서의 강방전으로 인해 발생할 수 있는 오방전을 제거하는 것이다.

【발명의 구성 및 작용】

<26> 이러한 과제를 해결하기 위해 본 발명은 불안정한 리셋 동작에 의해 형성된 전하를 소거시킨다.

<27> 본 발명의 한 특징에 따르면, 제1 기판 위에 각각 나란히 형성되는 복수의 제1 전극 및 제2 전극, 그리고 제1 및 제2 전극에 교차하며 제2 기판 위에 형성되는 복수의

제3 전극을 포함하며, 인접한 제1 전극, 제2 전극 및 제3 전극에 의해 방전 셀이 형성되는 플라즈마 디스플레이 패널을 구동하는 방법이 제공된다. 이 구동 방법은 리셋 단계, 보조 리셋 단계, 어드레스 단계 및 서스테인 단계를 포함한다.

<28> 보조 리셋 단계는 일정 조건에서 방전과 소거 기능을 가지는 방전 소거 펄스를 방전 셀에 인가한다. 이때, 일정 조건은 리셋 단계에서 비정상적인 전하가 형성된 경우이며, 방전 소거 펄스에 의해 비정상적인 전하가 방전되어 소거되는 것이 바람직하다.

<29> 비정상적인 전하는 리셋 단계에서 제1 전극과 제2 전극에 각각 형성된 제1 및 제2 전하를 포함하며, 제1 및 제2 전하에 의해 형성되는 전압은 어드레스 단계에서 선택되지 않은 방전 셀을 서스테인 단계에서 유지방전시킬 수 있는 전압이다.

<30> 한 실시예에 따르면, 소거 단계는 제1 전극에 제1 전압이 제1 기간동안 인가되는 단계, 그리고 제2 전극에 제2 전압이 제2 기간동안 인가되는 단계를 포함한다. 이때, 제1 전압은, 제1 전하와 제2 전하에 의해 형성되는 전압과 함께 제1 전극과 제2 전극 사이의 방전을 일으킬 수 있는 범위 이내인 것이 바람직하다. 그리고 제1 기간은 제1 전극과 제2 전극 사이의 방전에 의해 제1 전극과 제2 전극에 전하가 형성될 수 있는 범위 이내이고, 제2 기간에서의 제2 전압은 제1 기간에서 형성되는 전하를 소거할 수 있는 전압인 것이 바람직하다.

<31> 제2 기간에서, 제2 전압은 제3 전압에서 제4 전압까지 점진적으로 변화하는 전압일 수 있다. 또는 제2 전압은, 제1 기간에서 제1 전극과 제2 전극 사이의 방전에 의해 형성되는 전압과 함께 제1 전극과 제2 전극 사이의 방전을 일으킬 수 있는 범위 이내일 수도 있다. 이때, 제2 기간은 제1 전극과 제2 전극 사이의 방전에 의해 형성되는 전하가

제1 전극과 제2 전극에 소정량 이하로 쌓이게 할 수 있는 범위 이내인 것이 바람직하다.

<32> 본 발명의 다른 실시예에 따르면, 소거 단계에서는 제1 전극에 제1 전압이 인가되는 동안 제2 전극에 제2 전압이 인가된다.

<33> 제1 전압이 소정 기간동안 제1 전극에 인가될 수 있다. 이때, 제1 전압과 제2 전압의 전압차는, 제1 전하와 제2 전하에 의해 형성되는 전압과 함께 제1 전극과 제2 전극 사이의 방전을 일으킬 수 있는 범위 이내인 것이 바람직하다. 그리고 소정 기간은 제1 전극과 제2 전극 사이의 방전에 의해 형성되는 전하가 제1 전극과 제2 전극에 소정량 이하로 쌓이게 할 수 있는 범위 이내인 것이 바람직하다.

<34> 또는 제1 전압은 제3 전압에서 제4 전압까지 점진적으로 변화하는 전압일 수도 있다.

<35> 본 발명의 다른 특징에 따른 플라즈마 디스플레이 패널의 구동 방법은, 리셋 기간에서 일정 조건이 형성된 경우에 방전과 소거를 일으킬 수 있는 소거 단계를 포함한다.

<36> 이 구동 방법의 한 실시예에 따르면, 소거 단계는, 리셋 기간에서 일정 조건 하에서 제1 전극과 제2 전극 사이에서 방전을 일으킬 수 있는 방전 펄스를 방전 셀에 인가하는 제1 단계, 그리고 제1 단계의 방전에 의해 제1 전극과 제2 전극에 형성되는 전하를 소거하기 위한 소거 펄스를 방전 셀에 인가하는 제2 단계를 포함한다.

<37> 이 구동 방법의 다른 실시예에 따르면, 소거 단계는, 리셋 기간에서 일정 조건 하에서 제1 전극과 제2 전극 사이에서의 방전을 일으켜 전하를 소거하기 위한 소거 펄스를 방전 셀에 인가하는 단계를 포함한다.

- <38> 이때, 일정 조건은 리셋 단계에서 비정상적인 전하가 형성된 경우이다.
- <39> 그리고 비정상적인 전하는 리셋 단계에서 제1 전극과 제2 전극에 각각 형성된 제1 및 제2 전하를 포함하며, 제1 및 제2 전하에 의해 형성되는 전압은 어드레스 단계에서 선택되지 않은 방전 셀을 서스테인 단계에서 유지방전시킬 수 있는 전압이다.
- <40> 본 발명의 또 다른 특징에 따르면, 제1 기판, 제1 기판 위에 각각 나란히 형성되는 복수의 제1 및 제2 전극, 제1 기판과 마주보며 떨어져 있는 제2 기판, 제1 및 제2 전극과 교차하며 제2 기판 위에 형성되는 복수의 제3 전극, 그리고 인접한 제1 전극, 제2 전극 및 제3 전극에 의해 형성되는 방전 셀에 구동 신호를 공급하는 구동 회로를 포함하는 플라즈마 디스플레이 패널이 제공된다. 구동 회로는, 리셋 기간과 어드레스 기간 사이에, 제1 전극에 제1 전압을 인가하고 제2 전극에 제2 전압을 인가한다. 제1 전압과 제2 전압에 의해 리셋 기간에서 형성된 전하 중에서 비정상적인 전하가 소거된다.
- <41> 아래에서는 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다. 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다.
- <42> 이제 본 발명의 실시예에 따른 플라즈마 디스플레이 패널의 구동 방법에 대하여 도면을 참고로 하여 상세하게 설명한다.

- <43> 도 4는 본 발명의 제1 실시예에 따른 플라즈마 디스플레이 패널의 구동 파형도이다. 도 5a 내지 도 5d는 도 4의 구동 파형에 따른 벽 전하 분포도이다. 도 6a 내지 도 6c는 도 4의 구동 파형에서 램프 하강 기간 중 강방전이 일어난 경우의 벽 전하 분포도이다. 도 7 및 도 8은 각각 도 4에 나타난 구동 파형의 변형예이다.
- <44> 도 4에 나타난 바와 같이, 본 발명의 제1 실시예에 따른 구동 파형은 리셋 기간(10), 오방전 소거 기간(misfiring erase period)(20), 어드레스 기간(30) 및 서스테인 기간(40)을 포함한다. 리셋 기간(10)은 소거 기간(11), 램프 상승 기간(12) 및 램프 하강 기간(13)으로 이루어진다.
- <45> 리셋 기간(10)의 소거 기간(11)은 이전 서브필드의 서스테인 기간(40)에서 유지방전으로 형성된 전하를 소거하기 위한 기간이다. 램프 상승 기간(12)은 주사 전극(Y), 유지 전극(X) 및 어드레스 전극(A)에 벽 전하를 형성하는 기간이며, 램프 하강 기간(13)은 램프 상승 기간(12)에서 형성된 벽 전하를 일부 소거하여 어드레스 방전에 용이하도록 하는 기간이다.
- <46> 오방전 소거 기간(20)은 리셋 기간(10)을 보조하여 정상적으로 발광이 되도록 전하 상태를 형성하기 위한 기간으로서, 램프 하강 기간(13)에서 불안정한 강방전으로 인하여 형성된 주사 전극(Y)과 유지 전극(X)의 벽 전하를 제거하는 기간이다.
- <47> 어드레스 기간(30)은 복수의 방전 셀 중에서 서스테인 기간에서 유지방전을 일으킬 방전 셀을 선택하는 기간이다. 서스테인 기간(40)은 주사 전극(Y)과 유지 전극(X)에 차례로 서스테인 펄스를 인가하여 어드레스 기간(30)에서 선택된 방전 셀을 유지 방전시키는 기간이다.

- <48> 그리고 플라즈마 디스플레이 패널은 각 기간(10, 20, 30, 40)에서 주사 전극(Y) 및 유지 전극(Y)에 구동 전압을 인가하는 주사/유지 구동 회로, 그리고 어드레스 전극(A)에 구동 전압을 인가하는 어드레스 구동 회로를 포함한다.
- <49> 먼저, 도 5a 내지 도 5d를 참조하여 본 발명의 제1 실시예에 따른 구동 파형에 의해 정상적으로 리셋 동작이 일어난 경우에 대하여 자세하게 설명한다.
- <50> 이전 서브필드의 서스테인 기간(40)에서는 주사 전극(Y)과 유지 전극(X) 사이의 유지 방전에 의해 주사 전극(Y)에 (-) 벽 전하가 쌓이고 유지 전극(X)에 (+) 벽 전하가 쌓이게 된다. 소거 기간(11)에서는 주사 전극(Y)을 기준 전압으로 유지한 상태에서 유지 전극(X)에 기준 전압에서 V_e 전압까지 완만하게 상승하는 램프 파형이 인가된다. 본 발명의 제1 실시예에서는 기준 전압을 0V로 가정한다. 그러면 유지 전극(X)과 주사 전극(Y)에 형성된 벽 전하는 점점 소거된다.
- <51> 다음, 램프 상승 기간(12)에서는 유지 전극(X)을 기준 전압으로 유지한 상태에서 주사 전극(Y)에 V_s 전압에서 V_{set} 전압까지 완만하게 상승하는 램프 파형을 인가한다. 이때, V_s 전압은 주사 전극(Y)과 유지 전극(X) 사이의 방전 개시 전압(V_f)보다 낮은 전압이며 V_{set} 전압은 방전 개시 전압(V_f)보다 높은 전압이다. 그러면 램프 파형이 상승하는 동안 주사 전극(Y)으로부터 어드레스 전극(A) 및 유지 전극(X)으로 각각 미약한 리셋 방전이 일어난다. 그 결과, 도 5a에 나타낸 바와 같이 주사 전극(Y)에 (-) 벽 전하가 쌓이고, 동시에 어드레스 전극(A) 및 유지 전극(X)에는 (+) 벽 전하가 쌓인다.
- <52> 램프 하강 기간(13)에서는 유지 전극(X)을 V_e 전압으로 유지한 상태에서 주사 전극(Y)에 V_s 전압에서 기준 전압까지 완만하게 하강하는 램프 파형이 인가된다. 이 램프 파형이 하강하는 동안 다시 모든 방전 셀에서는 미약한 리셋 방전이 일어난다. 그

결과, 도 5b에 나타낸 바와 같이 주사 전극(Y)의 (-) 벽 전하가 감소하고 유지 전극(X)의 (+) 벽 전하가 감소한다. 또한 어드레스 전극(A)의 (+) 벽 전하는 어드레스 동작에 적당한 값으로 조정된다.

<53> 오방전 소거 기간(20)에서는 먼저 유지 전극(X)을 기준 전압으로 유지한 상태에서 주사 전극(Y)에 V_s 전압을 가지는 구형(square) 펄스가 인가된다. 이때, 램프 하강 기간(13)에서 정상적으로 전하가 소거되어 있으면 주사 전극(Y)과 유지 전극(X) 사이에서 형성되는 벽 전압은 주사 전극(Y)을 기준으로 할 때 음의 전압($-V_{wxy2}$)이 된다. 그러면 주사 전극(Y)과 유지 전극(X) 사이의 전압은 $(V_s - V_{wxy2})$ 으로 되어 방전 개시 전압(V_f)을 넘지 못해서, 방전이 일어나지 않는다. 따라서 도 5c에 나타낸 바와 같이 방전 셀에서의 벽 전하 분포는 도 5b와 동일하게 유지된다.

<54> 다음, 오방전 소거 기간(20)에서는 주사 전극(Y)을 기준 전압으로 유지한 상태에서 유지 전극(X)에 기준 전압에서 V_e 전압까지 완만하게 상승하는 소거 램프 파형이 인가된다. 주사 전극(Y)과 유지 전극(X)에서의 전하 분포는 앞의 기간과 동일하여 이 소거 램프 파형에 의해서도 방전이 일어나지 않으므로, 도 5d에 나타낸 바와 같이 벽 전하는 도 5b와 동일하게 유지된다.

<55> 어드레스 기간(30)에서는 방전 셀을 선택하기 위해서 주사 전극(Y)에 주사 펄스가 차례로 인가되고, 주사 펄스가 인가된 주사 전극(Y)과 교차하는 어드레스 전극(A) 중 선택하고자 하는 어드레스 전극(A)에 어드레스 펄스가 인가된다. 그러면 주사 펄스와 어드레스 펄스에 의해 형성되는 전위차에 의해 주사 전극(Y)과 어드레스 전극(A) 사이에서 방전이 일어난다. 그리고 주사 전극(Y)과 어드레스 전극(A) 사이의 방전을 기작으로

주사 전극(Y)과 유지 전극(X) 사이에서 방전이 일어나서 주사 전극(Y)과 유지 전극(X)에 벽 전하가 형성된다.

<56> 서스테인 기간(40)에서는 주사 전극(Y)과 유지 전극(X)에 차례로 서스테인 펄스가 인가된다. 서스테인 펄스는 주사 전극(Y)과 유지 전극(X)의 전압차가 교대로 V_s 전압 및 $-V_s$ 전압이 되도록 하는 펄스이다. V_s 전압은 주사 전극(Y)과 유지 전극(X) 사이의 방전 개시 전압보다 낮은 전압이다. 어드레스 기간(30)에서 어드레스 방전에 의해 주사 전극(Y)과 유지 전극(X) 사이에 벽 전압(V_{wxy3})이 형성되어 있으면, 벽 전압(V_{wxy3})과 V_s 전압에 의해 주사 전극(Y)과 유지 전극(X)에서 방전이 일어난다.

<57> 다음, 도 6a 내지 도 6c를 참조하여 본 발명의 제1 실시예에 따른 구동 파형 중 램프 하강 기간(13)에서 강방전이 일어난 경우에 대하여 자세하게 설명한다.

<58> 불안정한 리셋 동작에 의해 램프 하강 기간(13)에서 강방전이 일어나면, 도 6a에 나타낸 바와 같이 주사 전극(Y)에는 (+) 전하가 쌓이고 유지 전극(X)에는 (-) 전하가 쌓인다. 이때, 주사 전극(Y)과 유지 전극(X)에 형성된 벽 전하에 의해 형성되는 벽 전압(V_{wxy1})은 수학식 1을 만족한다.

<59> 오방전 소거 기간(20)에서 주사 전극(Y)에 V_s 전압이 인가되고 유지 전극(X)에 기준 전압이 인가되면, 주사 전극(Y)과 유지 전극(X) 사이의 벽 전압(V_{wxy1})과 V_s 전압에 의해 주사 전극(Y)과 유지 전극(X) 사이의 전압($V_{wxy1} + V_s$)은 방전 개시 전압(V_f)을 넘게 된다. 따라서 주사 전극(Y)과 유지 전극(X) 사이에서는 방전이 일어나, 도 6b에 나타낸 바와 같이 주사 전극(Y)에는 많은 양의 (-) 전하가 쌓이고 유지 전극(X)에는 많은 양의 (+) 전하가 쌓인다.

<60> 다음, 오방전 소거 기간(20)의 후반에서는 유지 전극(X)에 기준 전압에서 V_e 전압까지 완만하게 상승하는 소거 램프 파형이 인가되어 소거 동작이 일어난다. 이 램프 파형에 의해 도 6c에 나타낸 바와 같이 주사 전극(Y)과 유지 전극(X)에 형성되어 있는 벽 전하들이 소거되어, 주사 전극(Y)과 유지 전극(X) 사이의 벽 전압이 낮아진다. 그 결과 주사 전극(Y)과 유지 전극(X) 사이의 벽 전압과 서스테인 기간(30)에서 인가되는 V_s 전압의 합이 방전 개시 전압보다 낮아지게 된다. 그러므로 어드레스 기간(30)에서 어드레스 방전이 없다면, 서스테인 기간(40)에서는 방전이 일어나지 않게 된다.

<61> 그리고 본 발명의 제1 실시예에서는 구동 회로를 간단하게 하기 위해 오방전 소거 기간(20)에서 주사 전극(Y)에 V_s 전압을 인가하고 유지 전극(X)에 V_e 전압을 인가하였다. 이와는 달리, 오방전 소거 기간(20)에서의 방전 조건을 만족한다면 주사 전극(Y)과 유지 전극(X)에 인가되는 전압을 다른 전압을 사용할 수도 있다. 또한 본 발명의 제1 실시예에서는 기준 전압을 0V로 가정하여 설명하였지만, 이와는 달리 기준 전압을 $-V_s/2$ 전압으로 할 수도 있다. 도 7을 보면, 각 기간(10, 20, 30, 40)에서 주사 전극(Y) 및 유지 전극(X)에 인가되는 구동 전압들이 전체적으로 $V_s/2$ 전압만큼 내려갔다. 이와 같이 하면 구동 회로에 사용되는 전압 레벨이 낮아져서 낮은 내압의 소자를 구동 회로에서 사용할 수 있게 된다. 이와는 달리 각 기간(10, 20, 30, 40)에서 사용되는 전압을 다르게 조정할 수도 있다.

<62> 또한 본 발명의 제1 실시예에서는 소거 기간(11)에서 유지 전극(X)에 소거 램프 파형을 인가하였지만, 이와는 달리 주사 전극(Y)에 소거 램프 파형을 인가할 수도 있다. 도 8을 보면, 유지 전극(X)을 V_e 전압으로 유지한 상태에서 주사 전극(Y)에 V_s 전압에서 기준 전압까지 완만하게 하강하는 램프 파형이 인가된다. 이와 같이 하면, 소거 기간

(11)에서의 주사 전극(Y)과 유지 전극(X) 사이의 전압차가 도 4의 소거 기간(11)에서의 주사 전극(Y)과 유지 전극(X) 사이의 전압차와 동일하게 유지되므로, 도 4와 동일하게 소거 동작이 이루어진다.

<63> 그리고 본 발명의 제1 실시예에서는 리셋 기간(10)에서 주사 전극(Y)에 램프 상승 전압과 램프 하강 전압을 인가하였다. 이외에, 정상적인 리셋 동작에 의해 도 5b와 같은 벽 전하 분포가 형성되고 비정상적인 리셋 동작에 의해 도 6a와 같은 벽 전하 분포가 형성되는 다른 리셋 전압을 사용할 수도 있다.

<64> 위에서 설명한 이러한 변형예들은 이후에 설명할 실시예들에도 적용될 수 있다.

<65> 본 발명의 제1 실시예에서는 오방전 소거 기간(20)에서 방전 전압과 소거 램프 파형을 사용하였지만, 이와는 다른 파형을 사용할 수도 있다. 아래에서는 오방전 소거 기간(20)에서 본 발명의 제1 실시예와는 다른 파형을 사용하는 실시예에 대하여 도 9 내지 도 13을 참조하여 설명한다.

<66> 도 9 내지 도 13은 각각 본 발명의 제2 내지 제6 실시예에 따른 플라즈마 디스플레이 패널의 구동 파형도이다.

<67> 도 9을 보면, 본 발명의 제2 실시예에 따른 구동 파형은 오방전 소거 기간(20)에서 램프 파형 대신에 라운드 파형이 사용된 점을 제외하면 제1 실시예와 동일하다. 오방전 소거 기간(20)의 전반에 주사 전극(Y)에 V_s 전압을 가지는 구형 펄스를 인가한다. 유지 전극(X)에 기준 전압에서 V_e 전압까지 곡선 형태로 상승하는 라운드 전압을 인가한다. 그러면 램프 하강 기간(13)에서 강방전이 일어난 경우에 V_s 전압에 의해 방전이 일

어나서 주사 전극(Y)과 유지 전극(X)에 각각 (-) 전하와 (+) 전하가 쌓이고, V_e 전압까지 상승하는 라운드 전압에 의해 이 전하들이 소거된다.

<68> 도 10을 보면, 본 발명의 제3 실시예에 따른 구동 파형에서는 제1 실시예와 달리 오방전 소거 기간(20)에서 유지 전극(X)에 구형 펄스가 인가되고 주사 전극(Y)에 램프 파형이 인가된다. 자세하게 설명하면, 오방전 소거 기간(20)의 전반에 주사 전극(Y)을 V_s 전압으로 유지한 상태에서 유지 전극(X)에 기준 전압을 가지는 구형 펄스를 인가한다. 그러면 주사 전극(Y)과 유지 전극(X)의 전압차는 제1 실시예와 동일하게 V_s 전압을 유지하므로, 램프 하강 기간(13)에서 강방전이 있었던 경우에는 주사 전극(Y)과 유지 전극(X) 사이에서 방전이 일어난다. 오방전 소거 기간(20)의 후반에 유지 전극(X)을 V_e 전압으로 유지한 상태에서 주사 전극(Y)에 V_s 전압에서 기준 전압까지 하강하는 램프 파형을 인가한다. 램프 파형에 의해 오방전 소거 기간(20)의 전반에 주사 전극(Y)과 유지 전극(X)의 방전에 의해 형성된 전하들이 제거될 수 있다. 그리고 램프 파형 대신에 도 9에서 설명한 라운드 파형을 사용할 수도 있다.

<69> 다음, 도 11을 보면, 본 발명의 제4 실시예에 따른 구동 파형은 오방전 소거 기간(20)의 후반에 소거 램프 전압 대신에 세폭(細幅) 펄스가 인가되는 점을 제외하면 제1 실시예와 동일하다. 자세하게 설명하면, 오방전 소거 기간(20)의 후반에 주사 전극(Y)을 기준 전압으로 유지한 상태에서 유지 전극(X)에 V_e 전압을 가지는 세폭 펄스가 인가된다.

<70> 램프 하강 기간(13)에서 강방전이 있었으면 오방전 소거 기간(20)의 전반에서는 주사 전극(Y)과 유지 전극(X) 사이의 방전이 일어나 벽전하 상태는 도 6b와 같이 된다. 이때, 주사 전극(Y)에 기준 전압이 인가되고 유지 전극(X)에 V

e 전압이 인가되면, 도 6b의 벽전하 분포에 의해 형성되는 벽전압(V_{wxy4}) 및 주사 전극(Y)과 유지 전극(X)의 전압차(V_e)에 의해 주사 전극(Y)과 유지 전극(X) 사이에 방전이 일어난다. 그런데 유지 전극(X)에 인가되는 V_e 전압 펄스의 폭이 짧아서, 방전에 의해 형성된 전하들이 주사 전극(Y)과 유지 전극(X)에 쌓이지 않고 소거되어 도 6c와 같은 벽전하 상태로 된다.

<71> 그리고 본 발명의 제4 실시예에서도 제3 실시예와 같은 변형을 적용할 수 있다. 즉, 오방전 소거 기간(20)의 전반에 주사 전극(Y)을 V_s 전압으로 유지한 상태에서 유지 전극(X)에 V_e 전압에서 기준 전압으로 변하는 구형 펄스를 인가한다. 다음 오방전 소거 기간(20)의 후반에 유지 전극(X)을 V_e 전압으로 유지한 상태에서 주사 전극(Y)에 V_s 전압에서 기준 전압으로 변하는 세폭 펄스를 인가한다.

<72> 본 발명의 제1 내지 제4 실시예에서는 오방전 소거 기간에서 방전을 일으킨 후 방전에 의해 형성된 전하를 소거하였다. 이와는 달리, 제5 및 제6 실시예에서는 오방전 소거 기간에서 방전과 소거를 동시에 할 수 있는 파형을 사용한다.

<73> 도 12를 보면, 본 발명의 제5 실시예에서는 오방전 소거 기간(20)에서 주사 전극(Y)에 세폭 펄스만 인가된다. 자세하게 설명하면, 오방전 소거 기간(20)에서 유지 전극(X)을 기준 전압으로 유지한 상태에서 주사 전극(Y)에 V_s 전압을 가지는 세폭 펄스가 인가된다. 램프 하강 기간(13)에서 강방전이 일어나 전하 상태가 도 6a와 같은 경우에는, 주사 전극(Y)과 유지 전극(X) 사이의 전압차(V_s)와 주사 전극(Y)과 유지 전극(X) 사이의 벽 전압(V_{wxy1})에 의해 주사 전극(Y)과 유지 전극(X) 사이에서 방전이 일어난다. 그런데 주사 전극(Y)에 인가되는 펄스의 폭이 짧아서 방전에 의해 생성된 전하들이 주사 전극(Y)과 유지 전극(X)에 쌓이지 않고 소거된다.

<74> 도 13을 보면, 본 발명의 제6 실시예에서는 오방전 소거 기간(20)에서 주사 전극(Y)에 램프 파형만 인가된다. 즉, 유지 전극(X)을 기준 전압으로 유지한 상태에서 주사 전극(Y)에 기준 전압에서 V_s 전압까지 완만하게 상승하는 램프 파형이 인가된다. 그러면 도 6a와 같이 주사 전극(Y)과 유지 전극(X)에 전하들이 형성되어 있을 때, 주사 전극(Y)과 유지 전극(X) 사이에서 미약한 방전이 일어나 전하들이 소거된다.

<75> 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

【발명의 효과】

<76> 이와 같이 본 발명에 의하면, 불안정한 리셋 동작에 의해 리셋 기간에서 강방전이 일어나 주사 전극과 유지 전극에 많은 양의 전하가 형성된 경우에, 이 전하들을 소거할 수 있다. 따라서 선택되지 않은 방전 셀에서 유지방전이 일어나는 것을 방지할 수 있다.

【특허청구범위】

【청구항 1】

제1 기관 위에 각각 나란히 형성되는 복수의 제1 전극 및 제2 전극, 그리고 상기 제1 및 제2 전극에 교차하며 제2 기관 위에 형성되는 복수의 제3 전극을 포함하며, 인접한 상기 제1 전극, 제2 전극 및 제3 전극에 의해 방전 셀이 형성되는 플라즈마 디스플레이 패널을 구동하는 방법에 있어서,

상기 방전 셀을 어드레스 가능하도록 설정하는 리셋 단계,

상기 리셋 단계를 보조하는 보조 리셋 단계,

상기 방전 셀 중 선택하고자 하는 방전 셀을 선택하는 어드레스 단계, 그리고

상기 선택된 방전 셀을 유지방전시키는 서스테인 단계

를 포함하는 플라즈마 디스플레이 패널의 구동 방법.

【청구항 2】

제1항에 있어서,

상기 보조 리셋 단계는 일정 조건에서 방전과 소거 기능을 가지는 방전 소거 펄스를 상기 방전 셀에 인가하는 플라즈마 디스플레이 패널의 구동 방법.

【청구항 3】

제2항에 있어서,

상기 일정 조건은 상기 리셋 단계에서 비정상적인 전하가 형성된 경우이며,

상기 방전 소거 펄스에 의해 상기 리셋 단계에서 형성된 비정상적인 전하가 방전되어 소거되는 플라즈마 디스플레이 패널의 구동 방법.

【청구항 4】

제3항에 있어서,

상기 비정상적인 전하는 상기 리셋 단계에서 상기 제1 전극과 제2 전극에 각각 형성된 제1 및 제2 전하를 포함하며,

상기 제1 및 제2 전하에 의해 형성되는 전압은 상기 어드레스 단계에서 선택되지 않은 방전 셀이 상기 서스테인 단계에서 유지방전될 수 있도록 하는 전압인 플라즈마 디스플레이 패널의 구동 방법.

【청구항 5】

제4항에 있어서,

상기 소거 단계는, 상기 제1 전극에 제1 전압이 제1 기간동안 인가되는 단계, 그리고 상기 제2 전극에 제2 전압이 제2 기간동안 인가되는 단계를 포함하는 플라즈마 디스플레이 패널의 구동 방법.

【청구항 6】

제5항에 있어서,

상기 제1 전압은, 상기 제1 전하와 제2 전하에 의해 형성되는 전압과 함께 상기 제1 전극과 상기 제2 전극 사이의 방전을 일으킬 수 있는 범위 이내인 플라즈마 디스플레이 패널의 구동 방법.

【청구항 7】

제6항에 있어서,

상기 제1 전압은 상기 서스테인 단계에서 방전을 위해 상기 제1 전극에 인가되는 전압과 동일한 레벨인 플라즈마 디스플레이 패널의 구동 방법.

【청구항 8】

제6항에 있어서,

상기 제1 기간은 상기 제1 전극과 제2 전극 사이의 방전에 의해 상기 제1 전극과 제2 전극에 전하가 형성될 수 있는 범위 이내이며,

상기 제2 기간에서의 상기 제2 전압은 상기 제1 기간에서 형성되는 전하를 소거할 수 있는 전압인 플라즈마 디스플레이 패널의 구동 방법.

【청구항 9】

제8항에 있어서,

상기 제2 기간에서, 상기 제2 전압은 제3 전압에서 제4 전압까지 점진적으로 변화하는 전압인 플라즈마 디스플레이 패널의 구동 방법.

【청구항 10】

제8항에 있어서,

상기 제2 전압은, 상기 제1 기간에서 상기 제1 전극과 제2 전극 사이의 방전에 의해 형성되는 전압과 함께 상기 제1 전극과 제2 전극 사이의 방전을 일으킬 수 있는 범위 이내이며,

상기 제2 기간은 상기 제1 전극과 상기 제2 전극 사이의 방전에 의해 형성되는 전하가 상기 제1 전극과 제2 전극에 소정량 이하로 쌓이게 할 수 있는 범위 이내인 플라즈마 디스플레이 패널의 구동 방법.

【청구항 11】

제4항에 있어서,

상기 소거 단계에서 상기 제1 전극에 제1 전압이 인가되는 동안 상기 제2 전극에 제2 전압이 인가되는 플라즈마 디스플레이 패널의 구동 방법.

【청구항 12】

제11항에 있어서,

상기 제1 전압이 소정 기간동안 상기 제1 전극에 인가되며,

상기 제1 전압과 상기 제2 전압의 전압차는, 상기 제1 전하와 제2 전하에 의해 형성되는 전압과 함께 상기 제1 전극과 상기 제2 전극 사이의 방전을 일으킬 수 있는 범위 이내이며,

상기 소정 기간은 상기 제1 전극과 상기 제2 전극 사이의 방전에 의해 형성되는 전하가 상기 제1 전극과 제2 전극에 소정량 이하로 쌓이게 할 수 있는 범위 이내인 플라즈마 디스플레이 패널의 구동 방법.

【청구항 13】

제10항 또는 제12항에 있어서,

상기 소정량은, 상기 선택되지 않은 방전 셀이 상기 서스테인 기간에서 유지방전이 일어나지 않도록 하는 범위 이내인 플라즈마 디스플레이 패널의 구동 방법.

【청구항 14】

제12항에 있어서,

상기 제1 전압은 서스테인 기간에서 방전을 위해 상기 제1 전극에 인가되는 전압과 동일한 레벨의 전압인 플라즈마 디스플레이 패널의 구동 방법.

【청구항 15】

제11항에 있어서,

상기 제1 전압은 제3 전압에서 제4 전압까지 점진적으로 변화하는 전압인 플라즈마 디스플레이 패널의 구동 방법.

【청구항 16】

제1 기판 위에 각각 나란히 형성되는 복수의 제1 전극 및 제2 전극, 그리고 상기 제1 및 제2 전극에 교차하며 제2 기판 위에 형성되는 복수의 제3 전극을 포함하며, 인접한 상기 제1 전극, 제2 전극 및 제3 전극에 의해 방전 셀이 형성되는 플라즈마 디스플레이 패널을 구동하는 방법에 있어서,

리셋 기간에서 일정 조건이 형성된 경우에 방전과 소거를 일으킬 수 있는 소거 단계를 포함하며,

상기 소거 단계는,

상기 리셋 기간에서 상기 일정 조건 하에서 상기 제1 전극과 상기 제2 전극 사이에서 방전을 일으킬 수 있는 방전 펄스를 상기 방전 셀에 인가하는 제1 단계, 그리고

상기 제1 단계의 방전에 의해 상기 제1 전극과 제2 전극에 형성되는 전하를 소거하기 위한 소거 펄스를 상기 방전 셀에 인가하는 제2 단계를 포함하는 플라즈마 디스플레이 패널의 구동 방법.

【청구항 17】

제16항에 있어서,

상기 일정 조건은 상기 리셋 단계에서 비정상적인 전하가 형성된 경우인 플라즈마 디스플레이 패널의 구동 방법.

【청구항 18】

제17항에 있어서,

상기 비정상적인 전하는 상기 리셋 기간에서 상기 제1 전극과 제2 전극에 각각 형성된 제1 및 제2 전하를 포함하며,

상기 제1 및 제2 전하에 의해 형성되는 전압은 어드레스 기간에서 선택되지 않은 방전 셀이 서스테인 기간에서 유지방전될 수 있도록 하는 전압인 플라즈마 디스플레이 패널의 구동 방법.

【청구항 19】

제18항에 있어서,

상기 제1 단계는 상기 제2 전극을 제1 전압으로 유지시킨 상태에서 상기 제1 전극에 제1 전압을 가지는 상기 방전 펄스를 인가하며,

상기 제1 전압과 제2 전압의 전압차는 상기 제1 전하와 제2 전하에 의해 형성되는 전압과 함께 상기 제1 전극과 제2 전극 사이의 방전을 일으킬 수 있는 범위 이내인 플라즈마 디스플레이 패널의 구동 방법.

【청구항 20】

제19항에 있어서,

상기 제2 단계는 상기 제1 전극을 제3 전압으로 유지시킨 상태에서 제4 전압에서 제5 전압까지 점진적으로 상승하는 상기 소거 펄스를 상기 제2 전극에 인가하며,

상기 제5 전압과 상기 제3 전압의 전압차는, 상기 제1 단계에서 방전이 일어난 경우에 상기 제1 전극과 제2 전극에 형성된 전하에 의해 형성되는 전압과 함께 상기 제1 전극과 제2 전극 사이의 방전을 일으킬 수 있는 범위 이내인 플라즈마 디스플레이 패널의 구동 방법.

【청구항 21】

제19항에 있어서,

상기 제2 단계는 상기 제1 전극을 제3 전압으로 유지시킨 상태에서 제4 전압에서 제5 전압까지 점진적으로 하강하는 상기 소거 펄스를 상기 제2 전극에 인가하며,

상기 제3 전압과 상기 제5 전압의 전압차는, 상기 제1 단계에서 방전이 일어난 경우에 상기 제1 전극과 제2 전극에 형성된 전하에 의해 형성되는 전압과 함께 상기 제1 전극과 제2 전극 사이의 방전을 일으킬 수 있는 범위 이내인 플라즈마 디스플레이 패널의 구동 방법.

【청구항 22】

제19항에 있어서,

상기 제2 단계는 상기 제1 전극을 제3 전압으로 유지시킨 상태에서 소정 기간동안 제4 전압을 가지는 상기 소거 펄스를 상기 제2 전극에 인가하며,

상기 제4 전압과 상기 제3 전압의 전압차는, 상기 제1 단계에서 방전이 일어난 경우에 상기 제1 전극과 제2 전극에 형성된 전하에 의해 형성되는 전압과 함께 상기 제1 전극과 제2 전극 사이의 방전을 일으킬 수 있는 범위 이내이며,

상기 소정 기간은 상기 제1 전극과 제2 전극 사이의 방전에 의해 형성된 전하가 상기 제1 전극과 제2 전극에 소정량 이하로 쌓이도록 하는 범위 이내인 플라즈마 디스플레이 패널의 구동 방법.

【청구항 23】

제22항에 있어서,

상기 소정량은, 상기 서스테인 기간에서 상기 제1 전극과 제2 전극에 각각 인가되는 전압 레벨과 동일한 레벨의 전압이 상기 제1 전극과 제2 전극에 각각 인가되는 경우에 상기 제1 전극과 제2 전극 사이에서 방전이 일어나지 않도록 할 수 있는 범위 이내인 플라즈마 디스플레이 패널의 구동 방법.

【청구항 24】

제1 기판 위에 각각 나란히 형성되는 복수의 제1 전극 및 제2 전극, 그리고 상기 제1 및 제2 전극에 교차하며 제2 기판 위에 형성되는 복수의 제3 전극을 포함하며, 인접한 상기 제1 전극, 제2 전극 및 제3 전극에 의해 방전 셀이 형성되는 플라즈마 디스플레이 패널을 구동하는 방법에 있어서,

리셋 기간에서 일정 조건이 형성된 경우에 방전과 소거를 일으킬 수 있는 소거 단계를 포함하며,

상기 소거 단계는, 상기 일정 조건 하에서 상기 제1 전극과 상기 제2 전극 사이에서의 방전을 일으켜 전하를 소거하기 위한 소거 펄스를 상기 방전 셀에 인가하는 단계를 포함하는 플라즈마 디스플레이 패널의 구동 방법.

【청구항 25】

제24항에 있어서,

상기 일정 조건은 상기 리셋 단계에서 비정상적인 전하가 형성된 경우인 플라즈마 디스플레이 패널의 구동 방법.

【청구항 26】

제25항에 있어서,

상기 비정상적인 전하는 상기 리셋 기간에서 상기 제1 전극과 제2 전극에 각각 형성된 제1 및 제2 전하를 포함하며,

상기 제1 및 제2 전하에 의해 형성되는 전압은 어드레스 기간에서 선택되지 않은 방전 셀이 서스테인 기간에서 유지방전될 수 있도록 하는 전압인 플라즈마 디스플레이 패널의 구동 방법.

【청구항 27】

제26항에 있어서,

상기 제2 전극이 제1 전압으로 유지된 상태에서, 제2 전압을 소정 기간동안 가지는 상기 소거 펄스가 상기 제1 전극에 인가되며,

상기 제2 전압과 제1 전압의 전압차는 상기 제1 전하와 제2 전하에 의해 형성되는 전압과 함께 상기 제1 전극과 제2 전극 사이의 방전을 일으킬 수 있는 범위 이내이며,

상기 소정 기간은 상기 제1 전극과 제2 전극 사이의 방전에 의해 형성된 전하가 상기 제1 전극과 상기 제2 전극에 소정량 이하로 쌓이도록 하는 범위 이내인 플라즈마 디스플레이 패널의 구동 방법.

【청구항 28】

제27항에 있어서,

상기 소정량은, 서스테인 기간에서 상기 제1 전극과 제2 전극에 각각 인가되는 전압 레벨과 동일한 레벨의 전압이 상기 제1 전극과 상기 제2 전극에 각각 인가되는 경우에 상기 제1 전극과 상기 제2 전극 사이에서 방전이 일어나지 않도록 할 수 있는 범위 이내인 플라즈마 디스플레이 패널의 구동 방법.

【청구항 29】

제26항에 있어서,

상기 제2 전극이 제1 전압으로 유지된 상태에서, 제2 전압에서 제3 전압까지 점진적으로 변화하는 상기 소거 펄스가 상기 제1 전극에 인가되는 플라즈마 디스플레이 패널의 구동 방법.

【청구항 30】

제29항에 있어서,

상기 제3 전압과 상기 제1 전압의 전압차는 상기 제1 전하와 제2 전하에 의해 형성되는 전압과 함께 상기 제1 전극과 제2 전극 사이의 방전을 일으킬 수 있는 범위 이내인 플라즈마 디스플레이 패널의 구동 방법.

【청구항 31】

제1 기관,

상기 제1 기관 위에 각각 나란히 형성되는 복수의 제1 및 제2 전극,

상기 제1 기관과 마주보며 떨어져 있는 제2 기관,

상기 제1 및 제2 전극과 교차하며 상기 제2 기관 위에 형성되는 복수의 제3 전극,

그리고

인접한 상기 제1 전극, 제2 전극 및 제3 전극에 의해 형성되는 방전 셀에 구동 신호를 공급하는 구동 회로를 포함하며,

상기 구동 회로는, 리셋 기간과 어드레스 기간 사이에, 상기 제1 전극에 제1 전압을 인가하고 상기 제2 전극에 제2 전압을 인가하며,

상기 제1 전압과 제2 전압에 의해 상기 리셋 기간에서 형성된 전하 중에서 비정상적인 전하가 소거되는 플라즈마 디스플레이 패널.

【청구항 32】

제31항에 있어서,

상기 비정상적인 전하는, 상기 제1 전극과 제2 전극에 각각 형성되며 상기 어드레스 기간에서 선택되지 않은 경우에도 서스테인 기간에서 방전이 일어날 수 있도록 하는 제1 및 제2 전하를 포함하는 플라즈마 디스플레이 패널.

【청구항 33】

제32항에 있어서,

상기 구동 회로는, 제1 기간동안 상기 제1 전압을 상기 제1 전극에 인가한 후에 제2 기간동안 상기 제2 전압을 상기 제2 전극에 인가하며,

상기 리셋 기간동안 상기 제1 및 제2 전하가 형성된 경우에, 상기 제1 기간동안 상기 제1 전압에 의해 상기 제1 전극과 상기 제2 전극 사이에서 방전이 일어나며, 상기 제2 기간동안 상기 제2 전압에 의해 상기 제1 기간에서의 방전에 의해 형성된 전하가 소거되는 플라즈마 디스플레이 패널.

【청구항 34】

제33항에 있어서,

상기 제1 기간동안, 상기 구동 회로는 상기 제2 전극을 제3 전압으로 유지한 상태에서 상기 제1 전극에 상기 제1 전압을 인가하며,

상기 제1 전압과 제3 전압의 전압차는 상기 제1 및 제2 전하에 의해 형성되는 전압과 함께 상기 제1 전극과 제2 전극 사이의 방전을 일으킬 수 있는 범위 이내인 플라즈마 디스플레이 패널.

【청구항 35】

제34항에 있어서,

상기 제2 기간동안, 상기 구동 회로는 상기 제1 전극을 제4 전압으로 유지한 상태에서 상기 제2 전극에 상기 제2 전압을 인가하며,

상기 제2 전압은 제5 전압에서 제6 전압까지 점진적으로 변화하는 전압이며,

상기 제6 전압과 제4 전압의 전압차는 상기 제1 기간에서의 상기 제1 전극과 제2 전극 사이의 방전에 의해 형성된 전하와 함께 상기 제1 전극과 제2 전극 사이의 방전을 일으킬 수 있는 범위 이내인 플라즈마 디스플레이 패널.

【청구항 36】

제34항에 있어서,

상기 제2 기간동안, 상기 구동 회로는 상기 제1 전극을 제4 전압으로 유지한 상태에서 상기 제2 전극에 상기 제2 전압을 인가하며,

상기 제2 전압과 제4 전압의 전압차는 상기 제1 기간에서의 상기 제1 전극과 제2 전극 사이의 방전에 의해 형성된 전하와 함께 상기 제1 전극과 제2 전극 사이의 방전을 일으킬 수 있는 범위 이내이며,

상기 제2 기간은, 상기 제1 전극과 제2 전극 사이의 방전에 의해 형성된 전하가 상기 제1 전극과 제2 전극에 소정량 이하로 쌓이도록 하는 범위 이내인 플라즈마 디스플레이 패널.

【청구항 37】

제32항에 있어서,

상기 구동 회로는 상기 제2 전극에 상기 제2 전압을 인가하면서 상기 제1 전극에 상기 제1 전압을 인가하며, 상기 제1 전압과 제2 전압에 의해 상기 제1 전하와 제2 전하가 소거되는 플라즈마 디스플레이 패널.

【청구항 38】

제37항에 있어서,

상기 구동 회로는 상기 제1 전압을 소정 기간동안 인가하며,

상기 제1 전압과 제2 전압의 전압차는 상기 제1 전하와 제2 전하에 의해 형성되는 전압과 함께 상기 제1 전극과 제2 전극 사이의 방전을 일으킬 수 있는 범위 이내이며,

상기 소정 기간은 상기 제1 전극과 제2 전극 사이의 방전에 의해 형성된 전하가 상기 제1 전극과 제2 전극에 소정량 이하로 쌓이도록 하는 범위 이내인 플라즈마 디스플레이 패널.

【청구항 39】

제36항 또는 제38항에 있어서,

상기 소정량은, 상기 서스테인 기간에서 상기 제1 전극과 제2 전극에 각각 인가되는 전압 레벨과 동일한 레벨의 전압이 상기 제1 전극과 제2 전극에 각각 인가되는 경우에 상기 제1 전극과 제2 전극 사이에서 방전이 일어나지 않도록 할 수 있는 범위 이내인 플라즈마 디스플레이 패널.

【청구항 40】

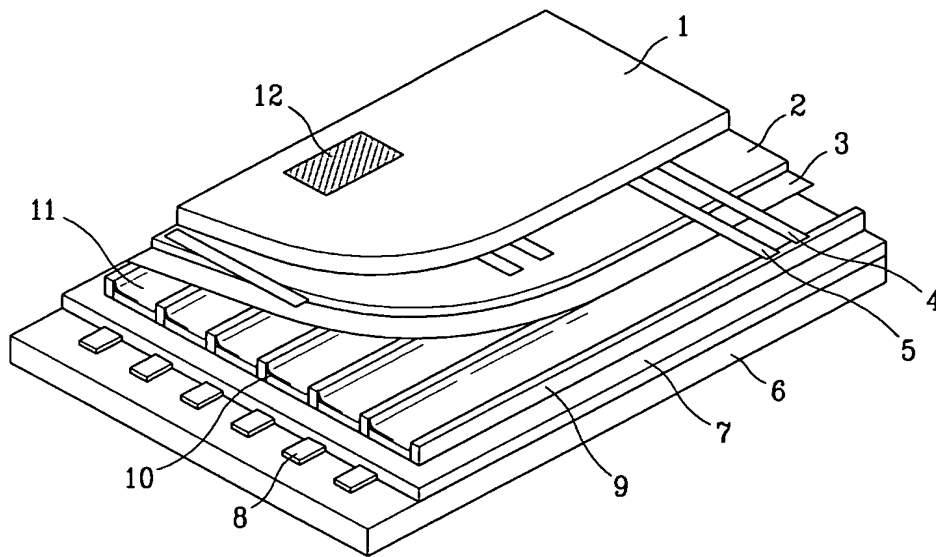
제37항에 있어서,

상기 제2 전압은 제3 전압에서 제4 전압까지 점진적으로 변화하는 전압이며,

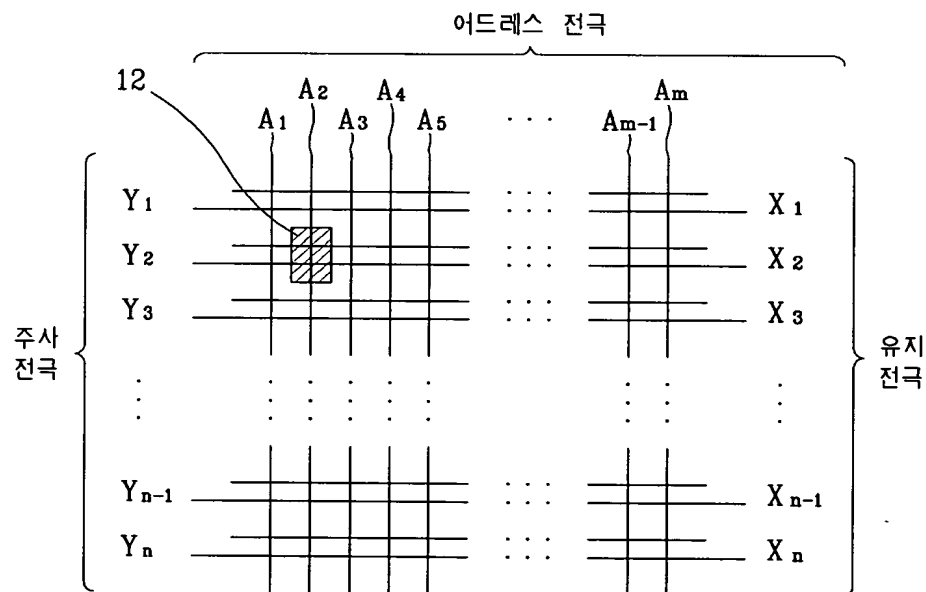
상기 제4 전압과 제1 전압의 전압차는 상기 제1 전하와 제2 전하에 의해 형성되는 전압과 함께 상기 제1 전극과 제2 전극 사이의 방전을 일으킬 수 있는 범위 이내인 플라즈마 디스플레이 패널.

【도면】

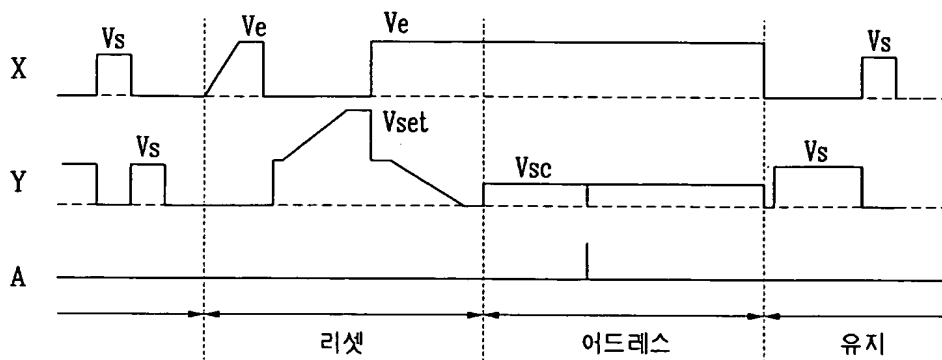
【도 1】



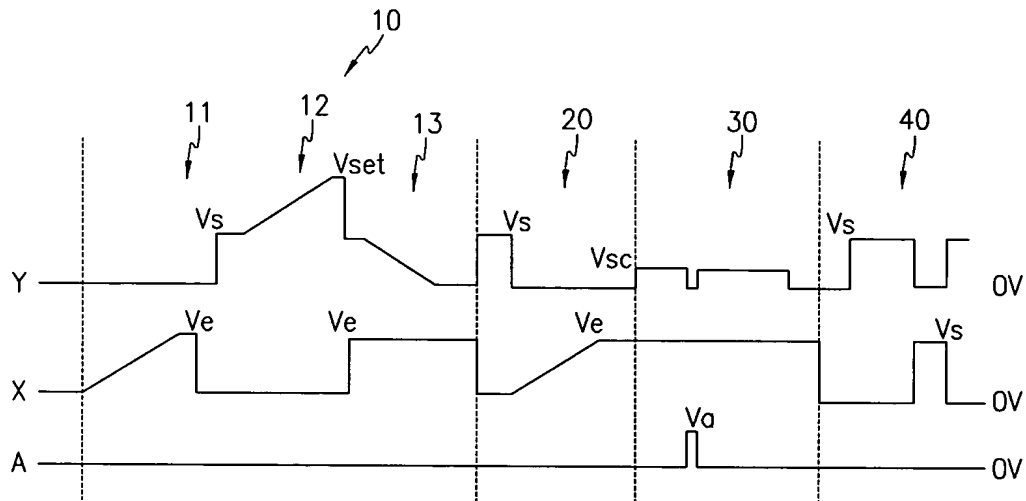
【도 2】



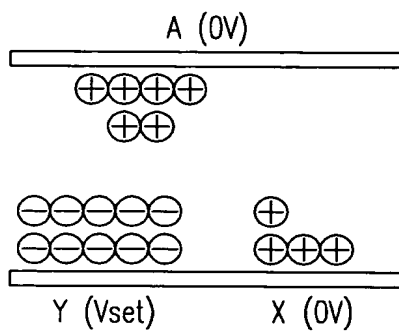
【도 3】



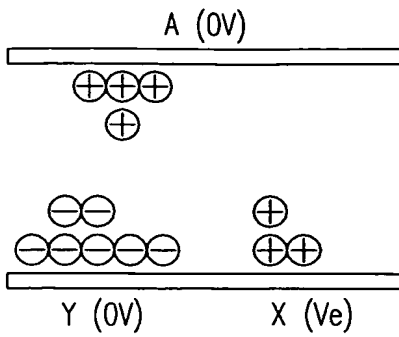
【도 4】



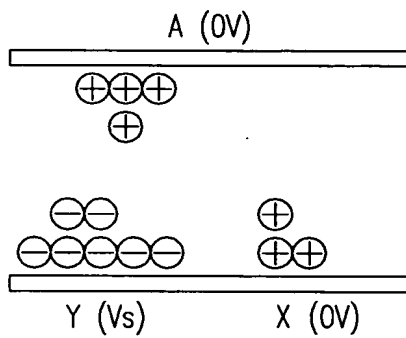
【도 5a】



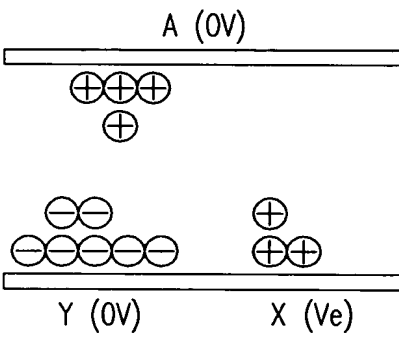
【도 5b】



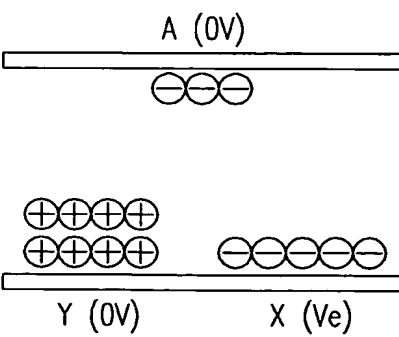
【도 5c】



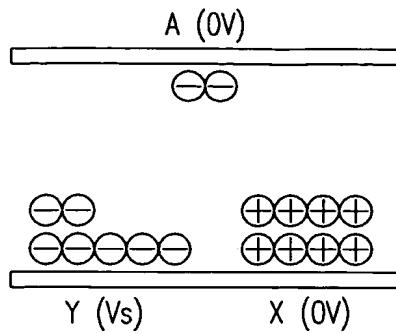
【도 5d】



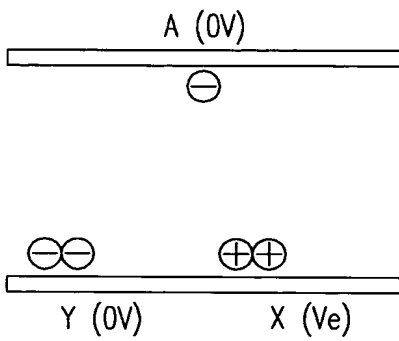
【도 6a】



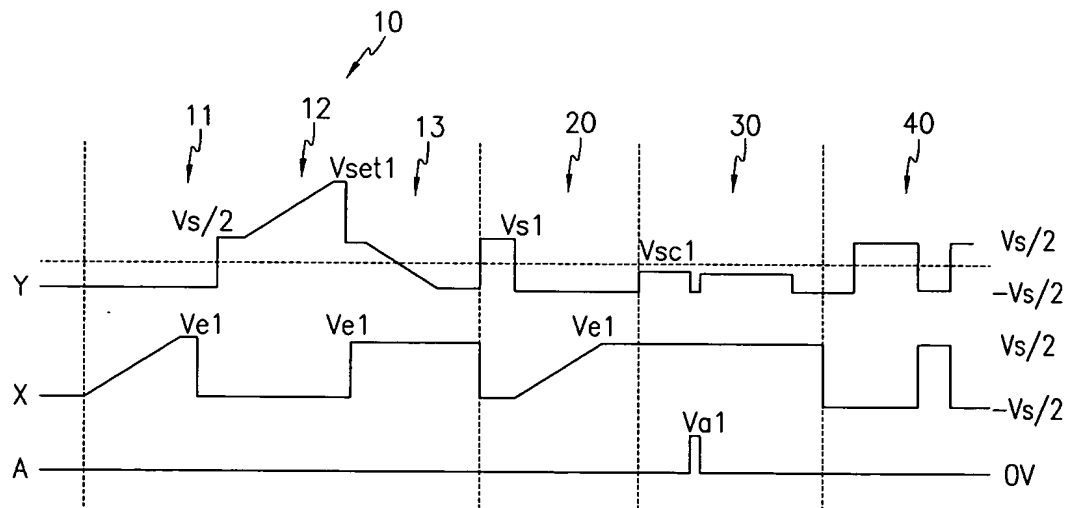
【도 6b】



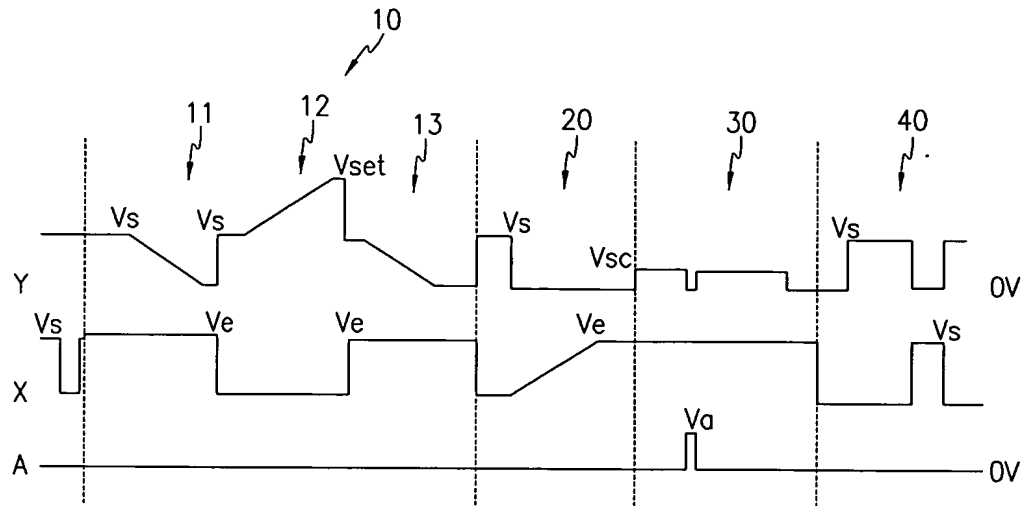
【도 6c】



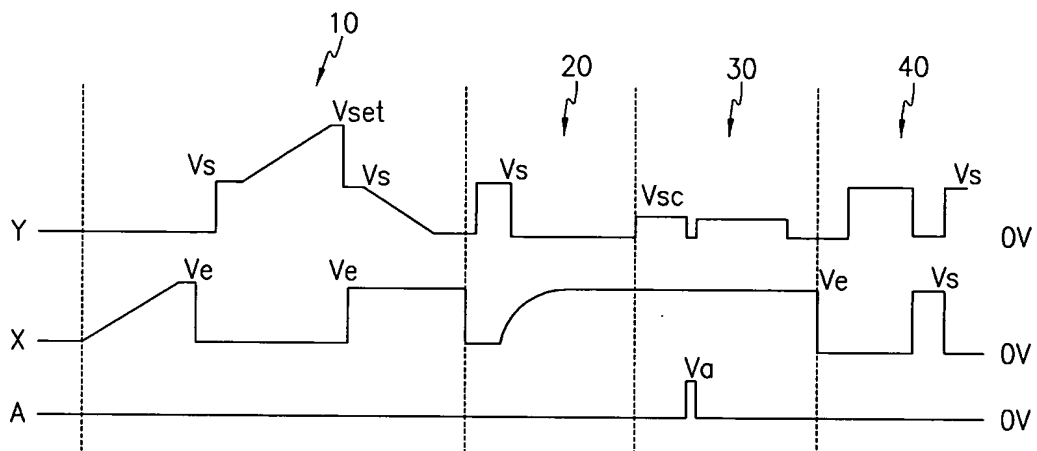
【도 7】



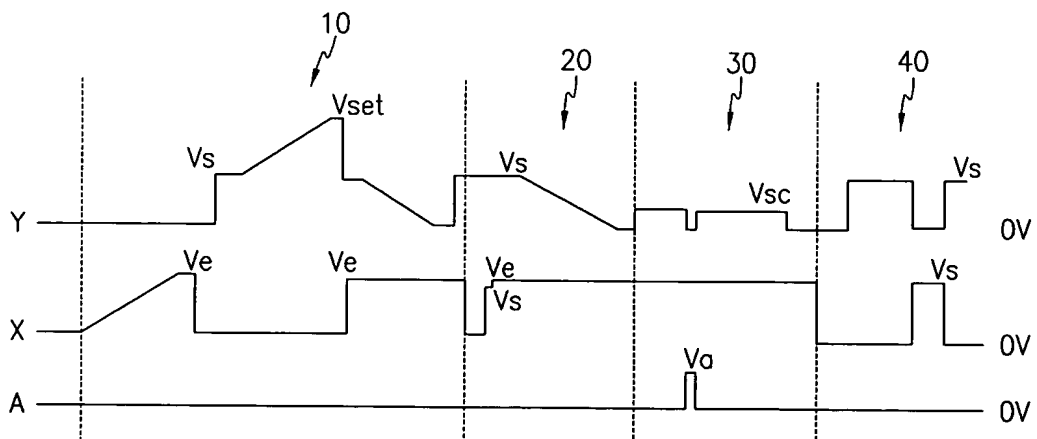
【도 8】



【도 9】

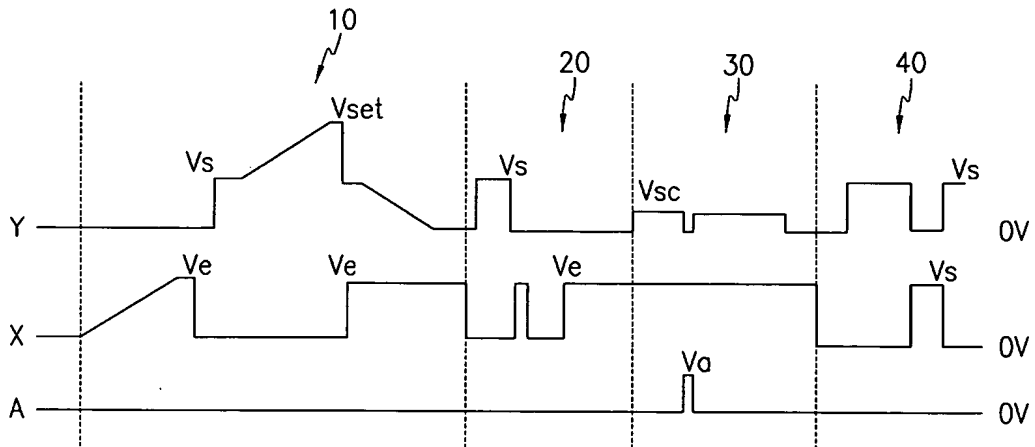


【도 10】

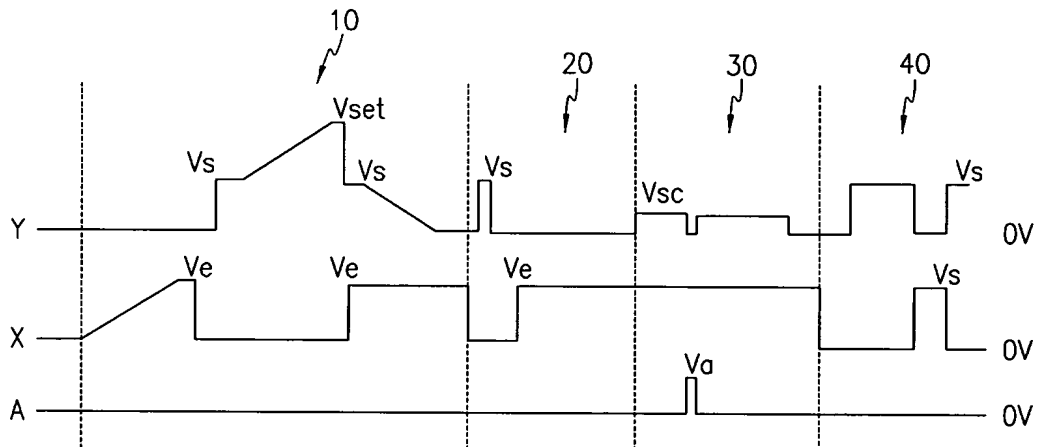




【도 11】



【도 12】



【도 13】

